

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 02-017550

(43)Date of publication of application : 22.01.1990

(51)Int.Cl. G06F 12/08
G06F 12/08
G06F 12/16
G06F 15/16

(21)Application number : 63-168583

(71)Applicant : NEC CORP

(22)Date of filing : 06.07.1988

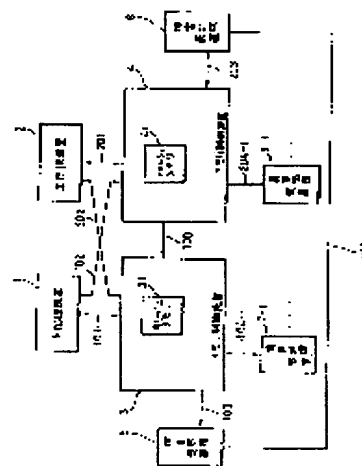
(72)Inventor : HASHIGUCHI TATSURO

(54) TROUBLE PROCESSING SYSTEM FOR MULTIPROCESSOR SYSTEM

(57)Abstract:

PURPOSE: To avoid system halt by constituting the system so that contents of a cache memory of a memory controller where trouble occurs are returned to a main storage device.

CONSTITUTION: When trouble occurs in a memory controller 3, this occurrence is reported to a trouble processing device 5. After gathering trouble information of the memory controller 3 in response to this report, the trouble processing device 5 temporarily stops the system to read out contents of a data array 31-a and an address array 31-b of a cache memory 31 through a bus 103 when confirming it by said trouble information that contents of the cache memory 31 are reliable. When it is judged by effective bits and rewrite bits read out from the cache memory that read data is effective and rewritten data, the trouble processing device 5 requests the write of this data to a main storage device 1.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C): 1998,2003 Japan Patent Office

FULLY ENGLISH TRANSLATION OF JAPANESE LAID-OPEN PATENT HEI
02-017550

Description

5 1. Title of the Invention

Trouble processing system for multi-processor systems

2. Claims

(1) A trouble processing system for a multi-processor system,
comprising:

- 10 a first and second memory controllers which have a first
and second cache memories and a first and second storage
means for storing effective bits which indicate whether the
data stored in said first and second cache memories
respectively is effective, and rewrite bits which indicate
15 whether said data was rewritten respectively;
first and second main storage devices;
first and second trouble processing devices;
extraction means which extracts data for which said
effective bits stored in said first storage means indicate
20 the effectiveness and said rewrite bits indicate the rewrite
from the data stored in said first cache memory when trouble
is detected in said first memory controller; and
reading means which reads out said data extracted by
said extraction means from said first cache memory,
25 and wherein said data read out by said reading means is
written to said first main storage device via said second
trouble processing device and said second memory controller.

3. Description of the Invention

Technical Field

The present invention relates to a trouble processing
5 system for a multi-processor system, and more particularly to
a trouble processing system for a memory controller which has
a store-in type cache memory.

Prior Art

In a conventional information processing device,
10 constituting a multi-processor system, if a store-in type
cache memory was used for the memory controller, the means of
rewriting the content of the cache memory to the main storage
device when trouble occurs in the memory controller was not
available.

15 Here a store-in type is to, when a new content of the
main storage device is required and no open area is available
in the cache memory, return the content of the cache memory
to the main storage device to create an open area and write
the content of the main storage device in that open area.
20 Since normally a read and write is performed using only the
content of the cache memory, the content of the cache memory
and the content of the main storage device are different.

In this conventional information processing device, even
if trouble occurred in the memory controller, there was no
25 means to rewrite the content of the cache memory to the main
storage device, so trouble occurs to components other than
the cache memory section of the memory controller, and there

is an disadvantage that, even if the content of the cache memory is guaranteed, it is impossible to return the content to the main storage device and to disconnect the memory controller to continue the system operations, therefore a system shutdown occurs.

Object of the Invention

In order to eliminate the foregoing problems, it is an object of the present invention to provide a trouble processing system which can return the content of the cache memory of the memory controller, in which the problem occurred, to the main storage device, and to prevent a system shutdown.

Configuration of the Invention

The trouble processing system according to the present invention is a trouble processing system for a multi-processor system, comprising: a first and second memory controllers which have a first and second cache memories and a first and second storage means for storing effective bits which indicate whether the data stored in the first and second cache memories respectively is effective, and rewrite bits which indicate whether the data was rewritten respectively; first and second main storage devices; first and second trouble processing devices; extraction means which extracts data for which the effective bits stored in the first storage means indicates the effectiveness and the rewrite bits indicate the rewrite from the data stored in the first cache memory when trouble is detected in the first

memory controller; and reading means which reads out the data extracted by the extraction means from the first cache memory are disposed, and the data read out by the reading means is written to the first main storage device via the second trouble processing device and the second memory controller.

Embodiment

An embodiment of the present invention will now be described by using figures.

Fig. 1 is a block diagram depicting a configuration of an embodiment of the present invention. In Fig. 1, the multi-processor system according to an embodiment of the present invention comprises memory controllers 3 and 4 which have main storage devices 1 and 2 and cache memories 31 and 41 respectively, trouble processing devices 5 and 6, and arithmetic processing units 7-i ($i = 1, \dots$) and 8-j ($j = 1, \dots$).

The main storage devices 1 and 2 are normally connected with the memory controllers 3 and 4 via the buses 101 and 102 respectively, but if the memory controller 3 or 4 is disabled due to trouble, that is, if the memory controller 3 is disabled, for example, the main storage devices 1 and 2 are connected to the memory controller 4 via the buses 102 and 201, and if the memory controller 4 is disabled, the main storage devices 1 and 2 are connected to the memory controller 3 via the buses 101 and 202. The memory controllers 3 and 4 are inter-connected via the bus 300.

The cache memories 31 and 41 of the memory controllers 3 and 4 are data buffers to access the main memories of the arithmetic processing units 7-i and 8-j, the input/output processing device which is not illustrated, or the trouble processing devices 5 and 6, and comprise the store-in type.

The memory controllers 3 and 4 are connected with the trouble processing devices 5 and 6 via the buses 103 and 203 respectively, and are connected with the arithmetic processing units 7-i and 8-j via the buses 104-i and 204-j respectively.

The trouble processing devices 5 and 6 perform trouble information collection processing and trouble relief processing and so on for each device constituting the system.

Fig. 2 is a diagram depicting reading data from the cache memory 31 by the trouble processing device 5 in Fig. 1. In Fig. 2, the cache memory 31 comprises a read address register 31-1 and read data register 31-2, and in the read address register 31-1 and the read data register 31-2, a chain is constructed in a flip-flop unit respectively. Therefore the trouble processing device 5 can write and read data to/from the read address register 31-1 and the read data register 31-2 by a scan-in operation and scan-out operation.

The cache memory 41 also has the same configuration as the above mentioned cache memory 31, and writing/reading to/from the cache memory 41 by the trouble processing device 6 as well can be performed by a scan-in operation and scan-out operation.

Fig. 3 is a diagram depicting the configuration of the cache memory 31 in Fig. 1. In Fig. 3, the cache memory 31 is comprised of a data array 31-a and an address array 31-b. In the data array 31-a, the data is stored in $n+1$ byte units, and in the address array 31-b, the memory address, the effective bits, which indicate whether the data stored in the data array 31-a is effective or not, and the rewrite bits, which indicate whether the data stored in the data array 31-a is rewritten, are stored. Each entry, $0 - m$, of the data array 31-a and the address array 31-b correspond to each other.

The cache memory 41 is comprised of a data array and address array, just like the cache memory 31.

Operation of an embodiment of the present invention will now be described with reference to Fig. 1 to Fig. 3.

The main storage devices 1 and 2 are connected to the memory controllers 3 and 4 respectively by the buses 101 and 201, and when the arithmetic processing unit 7-i reads or writes the main storage device 1, the cache memory 31 of the memory controller 3 is used; and when the arithmetic processing unit 8-j reads or writes the main storage device 2, the cache memory 41 of the memory controller 4 is used.

If the cache memories 31 and 41 did not hit at this time, the data is read from the main storage devices 1 and 2 to the cache memories 31 and 41 in predetermined units, but if there is no open area in the cache memories 31 and 41, the content in the predetermined units is rewritten to the main storage

devices 1 and 2 from the cache memories 31 and 41 before data is read from the main storage devices 1 and 2.

5 In this way, normal operation is performed and the cache memories 31 and 41 are used as the data buffers of the main storage devices 1 and 2.

The case when trouble occurs in the memory controller 3 during the above mentioned normal operation will now be described. It is assumed, however, that the content of the cache memory 31 at this time is guaranteed.

10 When trouble occurs in the memory controller 3, the trouble is notified to the trouble processing device 5.

Responding to this notification, if it is confirmed that the content of the cache memory 31 can be guaranteed from the trouble information after the trouble processing device 5
15 collects the trouble information on the memory controller 3, the trouble processing device 5 temporarily stops the system, and reads the content of the data array 31-a and the address array 31-b from the cache memory 31 via the bus 103.

In other words, the trouble processing device 5 performs
20 a scan-in operation so that a desired address is set in the read address register 31-1 of the cache memory 31, and reads the data from the desired address of the cache memory 31, and sets the data in the read data register 31-2 by applying one clock of the machine clock.

25 The data which is set in the read data register 31-2 is read by the trouble processing device 5 via a scan-out operation.

In this way, if the effective bits and the rewrite bits read from the address array 31-b of the cache memory 31 show that the read data is effective and is a rewritten data entry, the trouble processing device 5 transfers the memory address of this entry and the data of this entry in the data array 31-a to the trouble processing device 6 via the bus 301, and requests to write this data to the main storage device 1.

In this case, the main storage device 1 is connected to the memory controller 4 via the bus 102, and memory is accessed using the cache memory 41, and the memory address of this entry and the data in the data array 31-a are rewritten to the main storage device 1 via the trouble processing device 6 and the memory controller 4.

In this way, rewrite processing to the main storage device 1 is performed for the data of all the entries of the cache memory 31. Then the system operation is restarted, and operation is continued in the configuration of one memory controller 4 and two main storage devices 1 and 2.

When trouble occurs to the memory controller 4 as well, rewrite processing to the main storage device 2 is performed for the data of all the entries of the cache memory 41, just like the above mentioned processing, when trouble occurs to the memory control device 3.

In this way, when trouble occurs in the memory controllers 3 and 4, the data stored in the cache memories 31 and 41 is read, and if the effective bits and the rewrite bits corresponding to this data indicate that the data is

effective and rewritten, this data is written to the main storage devices 1 and 2 via the trouble processing devices 6 and 5 and the memory controllers 4 and 3, so that the content of the cache memories 31 and 41 of the memory controllers 3 and 4 where the trouble occurred can be returned to the main storage devices 1 and 2, and the content of the main storage devices 1 and 2 can be continuously guaranteed. As a consequence, the memory controllers 3 and 4 where trouble occurred can be disconnected from the system to continue operating the system, and a system shutdown can be prevented.

Effect of the Invention

As described above, according to the present invention, when trouble is detected in a first memory controller of a multi-processor system, which comprise a first and second memory controllers, a first and second main storage devices and a first and second trouble processing devices, if the effective bits corresponding to the data stored in the first cache memory disposed in the first memory controller indicate that the data is effective and the rewrite bits indicate that data is rewritten, the data is read from the first cache memory and written to the first main storage device via the second trouble processing device and the second memory controller, so the content of the cache memory of the memory controller where trouble occurred can be returned to the main storage device, and a system shutdown can be prevented.

4. Brief Description of the Drawings

Fig. 1 is a block diagram depicting a configuration of an embodiment of the present invention, Fig. 2 is a diagram depicting reading data from the cache memory by the trouble processing device in Fig. 1, and Fig. 3 is a diagram depicting the configuration of the cache memory.

Description of Reference Numbers of Major Components

1, 2	main storage device
3, 4	memory controller
5, 6	trouble processing device
7-1, 8-1	arithmetic processing unit
31, 41	cache memory
31-1	read address register
31-2	read data register
31-b	address array

15

FIG.1:

	1, 2	main storage device
	3, 4	memory controller
	5, 6	trouble processing device
5	7-1, 8-1	arithmetic processing unit
	31, 41	cache memory

FIG.2:

	5	trouble processing device
10	31	cache memory
	31-1	read address register
	31-2	read data register

FIG.3:

15	31-a	data array
	31-b	address array

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平2-17550

⑬ Int.Cl.⁹

G 06 F 12/08

12/16

15/16

識別記号

3 1 0

3 1 0

4 7 0

J

Z

E

D

庁内整理番号

7010-5B

7010-5B

7737-5B

6745-5B

⑭ 公開 平成2年(1990)1月22日

審査請求 未請求 請求項の数 1 (全5頁)

⑮ 発明の名称 マルチプロセッサシステムの障害処理方式

⑯ 特 願 昭63-168583

⑰ 出 願 昭63(1988)7月6日

⑱ 発 明 者 橋 口 達 郎 東京都港区芝5丁目33番1号 日本電気株式会社内

⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号

⑳ 代 理 人 弁理士 柳 川 信

明 細 書

1. 発明の名称

マルチプロセッサシステムの障害処理方式

2. 特許請求の範囲

(1) 第1および第2のキャッシュメモリと、第1および第2のキャッシュメモリ各々に格納されたデータが有効か否かを示す有効ビットと、前記データが書換えられたか否かを示す書換えビットとを格納する第1および第2の格納手段とを各々有する第1および第2のメモリ制御装置と、第1および第2の主記憶装置と、第1および第2の障害処理装置とを含むマルチプロセッサシステムの障害処理方式であって、前記第1のメモリ制御装置に障害が検出されたとき、前記第1のキャッシュメモリに格納されたデータのうち前記第1の格納手段に格納された前記有効ビットがデータの有効を示し、かつ前記書換えビットがデータの書換えを示すデータを抽出する抽出手段と、前記抽出手段により抽出された該データを前記第1のキ

ャッシュメモリから読出す読出し手段とを設け、前記読出し手段により読出された該データを前記第2の障害処理装置と前記第2のメモリ制御装置とを介して前記第1の主記憶装置に書込むようにしたことを特徴とする障害処理方式。

3. 発明の詳細な説明

技術分野

本発明はマルチプロセッサシステムの障害処理方式に関し、特にストアイン方式のキャッシュメモリを有するメモリ制御装置の障害処理方式に関する。

従来技術

従来、マルチプロセッサシステムを構成する情報処理装置においては、メモリ制御装置でストアイン方式のキャッシュメモリが採用されている場合、該メモリ制御装置に障害が発生したときにキャッシュメモリの内容を主記憶装置に書戻す手段がなかった。

ここで、ストアイン方式とは、新たに主記憶装置の内容を必要とし、キャッシュメモリに空き領

(2)

壊がない場合に、キャッシュメモリの内容を主記憶装置に戻して空き領域を作り、その空き領域に主記憶装置の内容を書込むというものであり、通常はキャッシュメモリの内容だけで読出し書込みを行っているため、キャッシュメモリの内容と主記憶装置の内容とが異なっている。

このような従来の情報処理装置では、メモリ制御装置に障害が発生してもキャッシュメモリの内容を主記憶装置に書戻す手段がなかったため、メモリ制御装置のキャッシュメモリ部以外に障害が発生し、キャッシュメモリの内容が保護されていても、その内容を主記憶装置に戻し、かつ該メモリ制御装置を切離してシステムの続行を行うことができず、システム停止になるという欠点がある。

発明の目的

本発明は上記のような従来のものの欠点を除去すべくなされたもので、障害の発生したメモリ制御装置のキャッシュメモリの内容を主記憶装置に戻すことができ、システム停止となるのを回避することができる障害処理方式の提供を目的とする。

憶装置に書込むようにしたことを特徴とする。

実施例

次に、本発明の一実施例について図面を参照して説明する。

第1図は本発明の一実施例の構成を示すブロック図である。図において、本発明の一実施例によるマルチプロセッサシステムは、主記憶装置1、2と、キャッシュメモリ31、41を夫々有するメモリ制御装置3、4と、障害処理装置5、6と、演算処理装置7-i (i=1, ……), 8-j (j=1, ……) とにより構成されている。

主記憶装置1、2は、通常、バス101, 201を介してメモリ制御装置3、4と夫々接続されているが、メモリ制御装置3、4が故障などにより使用不可能になると、たとえばメモリ制御装置3が使用不可能になると、主記憶装置1、2はバス102, 201によりメモリ制御装置4に接続され、またメモリ制御装置4が使用不可能になると、主記憶装置1、2はバス101, 202によりメモリ制御装置3に接続される。さらに、メモリ制御装置3、4は

発明の構成

本発明による障害処理方式は、第1および第2のキャッシュメモリと、第1および第2のキャッシュメモリ各々に格納されたデータが有効か否かを示す有効ビットと、前記データが書換えられたか否かを示す書換えビットとを格納する第1および第2の格納手段とを各々有する第1および第2のメモリ制御装置と、第1および第2の主記憶装置と、第1および第2の障害処理装置とを含むマルチプロセッサシステムの障害処理方式であって、前記第1のメモリ制御装置に障害が検出されたとき、前記第1のキャッシュメモリに格納されたデータのうち前記第1の格納手段に格納された前記有効ビットがデータの有効を示し、かつ前記書換えビットがデータの書換えを示すデータを抽出する抽出手段と、前記抽出手段により抽出された該データを前記第1のキャッシュメモリから読出す読出し手段とを設け、前記読出し手段により読出された該データを前記第2の障害処理装置と前記第2のメモリ制御装置とを介して前記第1の主記

バス300を介して互いに接続されている。

メモリ制御装置3、4のキャッシュメモリ31、41は演算処理装置7-i、8-jや図示せぬ入出力処理装置、または障害処理装置5、6の主記憶アクセスのデータバッファであり、ストアイン方式が採用されている。

また、メモリ制御装置3、4はバス103, 203を介して障害処理装置5、6と夫々接続され、バス104-i, 204-jを介して演算処理装置7-i、8-jと夫々接続されている。

障害処理装置5、6はシステムを構成する各装置の障害情報収集処理や障害救済処理などを行う。

第2図は第1図の障害処理装置5によるキャッシュメモリ31からのデータの読出しを説明するための図である。図において、キャッシュメモリ31は読出しアドレスレジスタ31-1と読出しデータレジスタ31-2とを有し、これら読出しアドレスレジスタ31-1と読出しデータレジスタ31-2とにおいては夫々フリップフロップ単位でチェインが構成されている。よって、読出しアドレス

(3)

レジスタ31-1および読出しデータレジスタ31-2に対する障害処理装置5からのデータの書込み読出しがスキャンイン動作およびスキャンアウト動作により可能となっている。

キャッシュメモリ41も上記キャッシュメモリ31と同様の構成となっており、障害処理装置6によるキャッシュメモリ41に対するデータの書込み読出しも上記と同様に、スキャンイン動作およびスキャンアウト動作により可能となっている。

第3図は第1図のキャッシュメモリ31の構成を示す図である。図において、キャッシュメモリ31はデータアレイ31-aとアドレスアレイ31-bとから構成されている。データアレイ31-aにはデータが $n+1$ バイト単位で格納されており、アドレスアレイ31-bにはメモリアドレスと、データアレイ31-aに格納されたデータが有効か無効かを示す有効ビットと、データアレイ31-aに格納されたデータが書換えられたかどうかを示す書換えビットとが格納されている。また、データアレイ31-aおよびアドレスアレイ31-bの各エ

ントリ0～mは夫々互いに対応している。

尚、キャッシュメモリ41は上記キャッシュメモリ31と同様にデータアレイおよびアドレスアレイから構成されている。

これら第1図～第3図を用いて本発明の一実施例の動作について説明する。

主記憶装置1, 2は夫々バス101, 201により夫々メモリ制御装置3, 4と接続されており、演算処理装置7-iが主記憶装置1の読出しまたは書込みを行う場合にはメモリ制御装置3のキャッシュメモリ31が使用され、演算処理装置8-jが主記憶装置2の読出しまたは書込みを行う場合にはメモリ制御装置4のキャッシュメモリ41が使用される。

このとき、キャッシュメモリ31, 41がヒットしなかった場合には、主記憶装置1, 2からある単位でデータがキャッシュメモリ31, 41に読込まれるが、キャッシュメモリ31, 41に空き領域がなければ、主記憶装置1, 2からのデータの読込みに先立ってキャッシュメモリ31, 4

1からある単位の内容が主記憶装置1, 2に書戻される。

このようにして通常の動作が行われ、キャッシュメモリ31, 41は主記憶装置1, 2のデータバッファとして使用される。

上述のようにして通常の動作が行われているとき、メモリ制御装置3に障害が発生した場合について以下に述べる。但し、このときキャッシュメモリ31の内容は保置されているものとする。

メモリ制御装置3に障害が発生すると、障害処理装置5にその障害が通知される。

障害処理装置5ではこの通知に回答してメモリ制御装置3の障害情報の収集を行った後に、その障害情報からキャッシュメモリ31の内容が保置できることを確認すると、システムを一時停止してキャッシュメモリ31のデータアレイ31-aおよびアドレスアレイ31-bの内容をバス103を介して読出す。

すなわち、障害処理装置5はキャッシュメモリ31の読出しアドレスレジスタ31-1に所望のア

ドレスがセットされるようにスキャンイン動作を行い、次にマシクロックを1クロック印加することにより、キャッシュメモリ31の所望のアドレスからデータを読出して読出しデータレジスタ31-2にセットする。

読出しデータレジスタ31-2にセットされたデータは、障害処理装置5によってスキャンアウト動作で読出される。

このようにキャッシュメモリ31のアドレスアレイ31-bから読出された有効ビットと書換えビットとから、読出したデータが有効でかつ書換えられたエントリのデータであれば、障害処理装置5は該エントリのメモリアドレスおよびデータアレイ31-a内の該エントリのデータをバス301を介して障害処理装置6に転送し、これらのデータの主記憶装置1への書込み依頼を行う。

このとき、主記憶装置1はバス102を介してメモリ制御装置4に接続されており、キャッシュメモリ41を使用してメモリアクセスが行われ、該エントリのメモリアドレスおよびデータアレイ3

1-a内のデータが障害処理装置6とメモリ制御装置4とを介して主記憶装置1に書戻される。

このようにして、キャッシュメモリ31の全エントリのデータに対して主記憶装置1への書戻し処理が行われる。その後、システムの動作を再開し、1台のメモリ制御装置4および2台の主記憶装置1, 2の構成で運転が続行される。

メモリ制御装置4に障害が発生した場合にも、上述のメモリ制御装置3に障害が発生したときの処理と同様にして、キャッシュメモリ41の全エントリのデータに対して主記憶装置2への書戻し処理が行われる。

このように、メモリ制御装置3, 4に障害が発生したとき、キャッシュメモリ31, 41に格納されたデータを読み出して、該データに対応する有効ビットおよび書換えビットによりデータが有効でかつ書換えが行われていることが示されたとき、該データを障害処理装置6, 5とメモリ制御装置4, 3とを介して主記憶装置1, 2に書込むようにすることによって、障害の発生したメモリ制御

装置3, 4のキャッシュメモリ31, 41の内容を主記憶装置1, 2に書戻することができ、主記憶装置1, 2の内容を継続的に保証することができる。よって、障害の発生したメモリ制御装置3, 4をシステムから切離してシステムの動作を続行することができ、システム停止となるのを回避することができる。

発明の効果

以上説明したように本発明によれば、第1および第2のメモリ制御装置と、第1および第2の主記憶装置と、第1および第2の障害処理装置とを含むマルチプロセッサシステムにおいて、第1のメモリ制御装置に障害が検出されたとき、第1のメモリ制御装置に設けられた第1のキャッシュメモリに格納されたデータに対応する有効ビットがデータの有効を示し、かつ書換えビットがデータの書換えを示すとき、該データを第1のキャッシュメモリから読出して第2の障害処理装置と第2のメモリ制御装置とを介して第1の主記憶装置に書込むようにすることによって、障害の発生した

メモリ制御装置のキャッシュメモリの内容を主記憶装置に戻すことができ、システム停止となるのを回避することができるという効果がある。

4. 図面の簡単な説明

第1図は本発明の一実施例の構成を示すブロック図、第2図は第1図の障害処理装置によるキャッシュメモリからのデータの読出しを説明するための図、第3図は第1図のキャッシュメモリの構成を示す図である。

主要部分の符号の説明

- 1, 2 …… 主記憶装置
- 3, 4 …… メモリ制御装置
- 5, 6 …… 障害処理装置
- 7-1, 8-1 …… 演算処理装置
- 31, 41 …… キャッシュメモリ
- 31-1 …… 読出しアドレスレジスタ
- 31-2 …… 読出しデータレジスタ
- 31-b …… アドレスアレイ

出願人 日本電気株式会社

代理人 弁理士 柳川 信


```

graph LR
    31-1[読出しアドレスレジスタ 31-1] --> 31[キヤッシュメモリ 31]
    31 --> 31-2[読出しデータレジスタ 31-2]
    31-2 --> 5[障害処理装置 5]
    31-1 --> 5
  
```